

基于 802.11ac 的 FFT/IFFT 处理器设计

施隆照, 郭冀闽

(福州大学 物理与信息工程学院, 福建 福州 350108)

摘 要: 针对 IEEE 802.11ac MIMO-OFDM 系统设计了一种 8 通道 128 点 FFT/IFFT 处理器, 该处理器采用 MRMDC 结构, 支持 8 通道数据的并行处理, 有效降低了硬件复杂度和提高了数据吞吐率. 提出的数据输入和输出顺序调整结构, 可以实现数据自然顺序的输入和输出, 从而实现了和 MIMO-OFDM 系统中的其他模块直接进行数据传递. FFT/IFFT 处理器由 Verilog 语言实现, 并用 Synopsys 公司的 Design Compiler 在 SMIC 0.18 μm CMOS 工艺库下进行逻辑综合, 内部数据和旋转因子的宽度采用 12 bit, 最高工作频率可达 100 MHz, 数据吞吐率可达 1 Gb/s.

关键词: FFT/IFFT; MRMDC; 输入数据顺序调整结构

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2016)03-0094-04

Design of an FFT/IFFT Processor for 802.11ac System

SHI Long-zhao, GUO Ji-min

(College of Physics and Information Engineering, Fuzhou University, Fuzhou 350108, China)

Abstract: In this paper, an area-efficient 8-channel 128 point MRMDC FFT/IFFT processor is proposed for IEEE 802.11ac standard MIMO-OFDM system. The proposed FFT processor is based on MRMDC architecture and supports 8 spatial data streams. Using input and output data sequential reorder architecture in the proposed FFT processor can realize eight input and output spatial data streams all in natural order, and can be used directly in MIMO-OFDM system. The proposed FFT processor is designed in hardware description language (HDL) and synthesized to gate-level circuit using SMIC 0.18 μm CMOS process. We choose 12-bit word width for the internal data path and twiddle factors. The processor can provide a throughput rate of up to 1 Gb/s and maximal clock rate of 100 MHz.

Key words: FFT/IFFT; MRMDC; input data sequential reorder architecture

1 引言

无线局域网(WLAN)通信标准发展带来了传输速度的飙升. 目前常用的 802.11n 协议仅支持最高 600 Mb/s 的理论传输速率, 无法满足日益增长的无线传输需求. 2014 年 1 月正式发布的高速多流无线局域网标准 802.11ac, 通过 5 GHz 频带进行通信, 多站式无线局域网通信理论上能够提供最少 1 Gb/s 带宽, 为打造新一代无线网络奠定了基础.

802.11ac 协议采用多输入多输出正交频分复用(MIMO-OFDM)技术, MIMO 和 OFDM 技术的结合可以保证通信系统实现很高的数据传输速率和很强的系统可靠性^[1]. FFT/IFFT 处理器是 MIMO-

OFDM 系统中的重要模块, 直接影响该系统的数据吞吐量、整体功耗和硬件实现复杂度等指标, 因此设计出一种高效低功耗 FFT/IFFT 处理器至关重要.

本文设计的 FFT/IFFT 处理器可支持 8 组 128 点空间数据流的并行计算, 在 40 MHz 的时钟频率下即可满足 802.11ac 协议的要求. 本文采用了混合基多路径延时转换结构(MRMDC), 并在处理器的输入和输出部分增加了输入和输出数据顺序调整模块, 使 FFT/IFFT 处理器在实现高数据吞吐量的同时也可以实现和 MIMO-OFDM 系统中的其他模块数据的直接传递.

2 FFT/IFFT 算法

N 点输入序列 $x(n)$ 的离散傅里叶变换(DFT)定义为

$$X(k) = \sum_{n=0}^{N-1} x(n) \cdot W_N^{nk}, 0 \leq k < N \quad (1)$$

式中, $X(k)$ 为输出序列, N 为数据变换的长度, n 和 k 分别为时间和频率指数, 旋转因子表示为

$$W_N^{nk} = e^{-j(2\pi nk/N)} = \cos(2\pi nk/N) - j\sin(2\pi nk/N) \quad (2)$$

利用快速傅里叶变换(FFT)可以使式(1)中 DFT 的计算复杂度从 $O(N^2)$ 减小到 $O(N \log_2 N)$, 其中 r 表示基- r . 通常增大基数可以减少 FFT 运算的级数和旋转因子乘法的数目. 然而有些输入序列 $x(n)$ 的点数 N 并不是 r 的幂次方, 这种情况可以采用混合基算法. 本文的 128 点 FFT 采用两级基-8 和一级基-2 相结合的混合基算法, 该算法的推导为

$$\begin{aligned} n &= 16n_2 + 2n_1 + n_0 & k &= 64k_2 + 8k_1 + k_0 \\ 0 &\leq n_0 \leq 1, 0 \leq n_1 \leq 7, 0 \leq n_2 \leq 7 \\ 0 &\leq k_0 \leq 7, 0 \leq k_1 \leq 7, 0 \leq k_2 \leq 1 \end{aligned} \quad (3)$$

利用式(3), 式(1)可以写成

$$\begin{aligned} X(k) &= X(64k_2 + 8k_1 + k_0) \\ &= \sum_{n=0}^{127} x(n) \cdot W_{128}^{(16n_2 + 2n_1 + n_0)(64k_2 + 8k_1 + k_0)} \\ &= \sum_{n_0=0}^1 \left[\sum_{n_1=0}^7 \left[\sum_{n_2=0}^7 x(n) W_8^{n_2 k_0} \right] W_8^{n_1 k_0} \right] W_8^{n_2 k_1} W_{128}^{n_1(8k_1 + k_0)} W_2^{n_2 k_2} \end{aligned} \quad (4)$$

8-point DFT 8-point DFT 2-point DFT

为了降低基-8 算法实现的硬件复杂度, 基-8 可以进一步分解为三级基-2 蝶形运算^[2].

128 点序列的离散傅里叶反变换可以表示为

$$x(n) = \frac{1}{128} \{ \text{FFT}[X^*(k)] \}^* \quad (5)$$

由式(5)可知, IFFT 运算可以通过对 FFT 运算的输入输出数据分别求共轭得到, 因此 FFT 和 IFFT 运算的数据计算主体部分是相同的.

3 FFT/IFFT 处理器硬件设计

3.1 处理器整体结构

基于 IEEE 802.11ac MIMO-OFDM 系统的 8 通道 128 点 FFT/IFFT 处理器的整体结构如图 1 所示, 图中 a 到 h 分别表示 8 组并行输入的 128 点空间数据流, A 到 H 分别表示 8 组并行输出的 128 点空间数据流, 该处理器结构按照协议要求可以实现空间

数据流的连续处理. 该处理器结构主要包括输入数据顺序调整模块、输出数据顺序调整模块和 MRMD-DC 模块, 其中处理器核心模块 MRMD-DC 由 8 通道延时转换结构(R8MDC)和单通道延时反馈结构(R2SDF)组成, 处理器的整体结构图中忽略了整体控制模块和 ROM 存储单元.

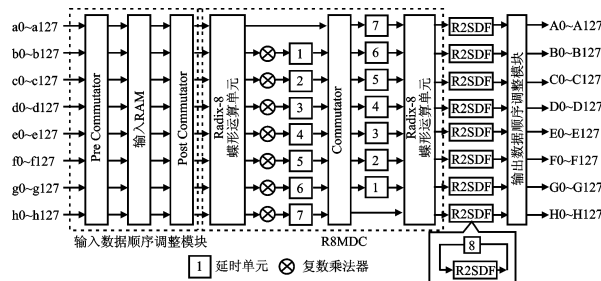


图 1 FFT/IFFT 处理器整体结构

3.2 输入数据顺序调整模块

输入数据顺序调整模块的功能是把 8 组并行输入的 128 点空间数据流转换成可以被 MRMD-DC 结构直接处理的数据输入形式, 常用的方法利用延时单元^[3], 但是对于 8 组并行输入数据的延时单元数目庞大, 而且延时后数据排列位置的调整也十分复杂, 因此本设计提出了采用输入 RAM 代替延时单元的方法, 可以减小硬件复杂度和降低功耗.

输入数据顺序调整模块结构如图 2 所示, 延时单元利用对 RAM 的读写地址的控制来实现, Pre Commutator(前切向器)和 Post Commutator(后切向器)模块是为了防止地址转换过程中产生地址冲突. 整个数据存储结构共使用了 8 个 Bank 的双端口 RAM, 每个 Bank 由 16 位宽的 128 个单元组成, 可以同时为每个 Bank 单元进行读写操作, 这样就保证了数据处理的流畅性.

为了保证输入数据顺序调整模块输出的数据可以被 MRMD-DC 模块直接处理, RAM 写入地址和读出地址要经历两次变化, 第一帧 8×128 点数据经 Pre Commutator 模块调整后写入 8 个 Bank 的 RAM 中, 各数据在 RAM 中的位置如图 3 所示, 图 3 同时给出了每个 Bank 的数据读取地址和 Post Commutator 模块的数据切换方式. 以 $R1 \leftarrow \{001, c[0], c[1], c[2], c[3]\}$ 为例对数据读取方式进行说明, $R1$ 表示对 Bank1 进行读操作,

读地址前三

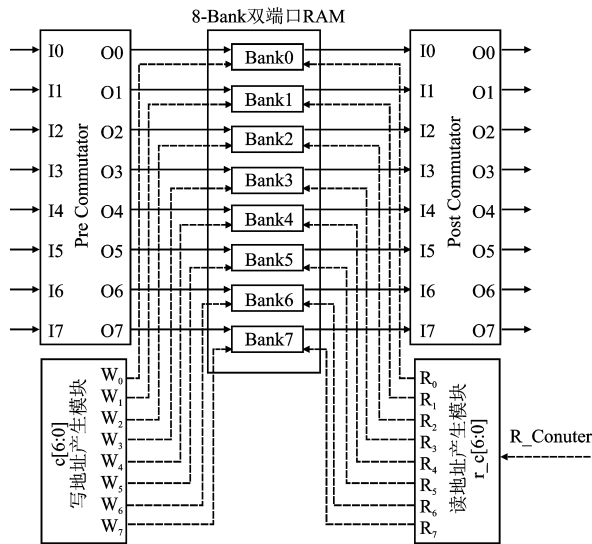


图2 输入数据顺序调整模块结构

位“001”表示对该RAM中的第16到第31个单元进行数据读取,且前三位数据每16个clk变化一次.读地址后四位 $c[0]$, $c[1]$, $c[2]$, $c[3]$ 表示对该16个单元中的数据进行倒序读出. $O_0 \leftarrow I_0$ 表示Post Commutator模块的输入与输出的连接关系.

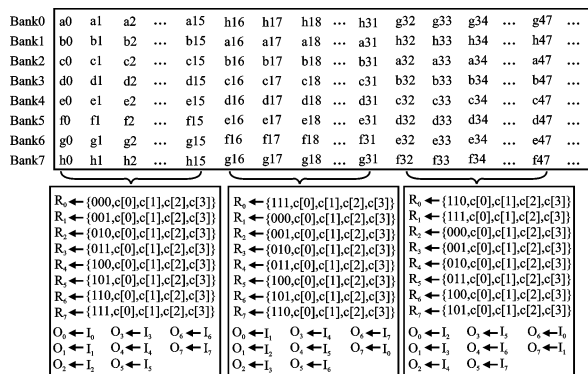


图3 第一帧数据在RAM中的位置和数据读取调整过程

第一帧 8×128 点数据读出并经Post Commutator模块调整后的数据输出顺序如图4所示,并且按照该形式排列的数据经过MRMDC结构中第一级基-8单元计算后,再经Commutator进行数据顺序调整,数据排列顺序变为“a0,a8,a4,a12,a2,a10,a6,a14”,该顺序正好为第二级基-8运算单元所需的输入数据顺序.第三帧 8×128 点数据的RAM的读写地址和第一帧 8×128 点数据是完全一致的,第二帧数据的读写地址和第一帧的读写地址相同,第一帧数据的读写地址和第二帧数据的读写地址为倒序关系.每帧数据经输入数据顺序调整模块进行数据顺序调整

后,都为MRMDC模块中的第一级基-8运算单元所需的输入数据顺序,且经过MRMDC模块中的Commutator对第一级基-8运算单元输出的数据顺序进行调整后也都可以满足第二级基-8运算单元对输入数据的顺序要求.

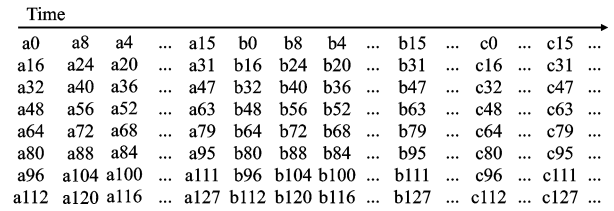


图4 输入数据顺序调整模块输出的数据顺序

3.3 MRMDC结构

图1所示的MRMDC结构由R8MDC和R2SDF组成,共分三级蝶形运算操作.R8MDC由两级基-8蝶形运算单元组成,第一级基-8运算的结果需要和复数旋转因子相乘,复数旋转因子存储在ROM单元中,并且乘法操作由控制单元控制.

复数乘法器通常消耗大量的硬件资源,基-8运算中含有复数乘法,其复数乘法的旋转因子为 W_8^1 和 W_8^3 .式(4)中的 $W_{64}^{n_1 k_0}$ 和 $W_{128}^{n_0(8k_1+k_0)}$ 有部分为 W_8^1, W_8^3, W_8^5 和 W_8^7 的形式,由式(2)可知这些复数的实部和虚部的绝对值都是 $\sqrt{2}/2$,如式(6)所示,该数可以利用2的负次幂叠加逼近.与 $\sqrt{2}/2$ 相乘就可以转换成用移位寄存器和加法器来实现,这样就降低了硬件复杂度,而对于其他复数乘法的实现则采用基4 booth 算法编码方式,并在关键路径上采用改进混合Wallace树压缩器阵列进行优化.

$$\frac{\sqrt{2}}{2} \approx 0.7071 \approx 2^{-1} + 2^{-3} + 2^{-4} + 2^{-6} \quad (6)$$

第一级基-8蝶形运算单元输出数据的顺序调整是由延时单元和Commutator实现,该结构的作用是产生第二级基-8蝶形运算所需的数据顺序^[3].第二级基-8蝶形运算结果可以直接被R2SDF模块处理,每个R2SDF模块由8个寄存器组成的FIFO来协助完成第三级蝶形运算操作.R8MDC结构每个通道输出的8个数据分别依次存储到相应R2SDF模块的FIFO中,第9个数据输入到R2SDF模块就可以和FIFO中的第1个数据进行基-2蝶形运算,运算结果一个直接输出,另一个继续输入到FIFO中,当8个蝶形运算结果输出后,另外8个蝶形运算结果再依次从FIFO中输出.

3.4 输出数据顺序调整模块

输出数据顺序调整模块的具体结构如图 5 所示,是由延时单元和 Commutator (切向器) 构成. MRMDC 结构计算输出的数据并不是自然顺序的,在 MIMO-OFDM 系统中 FFT/IFFT 处理器要和其他的数据处理模块连接,而这些数据处理模块需要自然顺序的输入数据,输出数据顺序调整模块能实把经 FFT/IFFT 运算后的非自然顺序的数据转变成自然顺序的数据.

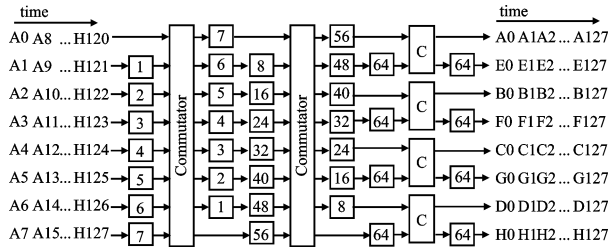


图 5 输出数据顺序调整模块结构

4 FFT/IFFT 处理器实现

本文设计的 FFT/IFFT 处理器利用 ModelSim 软件进行仿真,可以在 142 个时钟周期内完成 8 组 128 点数据的并行计算,整个 FFT/IFFT 计算在 IEEE 802.11ac 协议规定的 40 MHz 的时钟频率下可以在 3.6 μ s 内完成,FFT/IFFT 处理器的整体仿真波形如图 6 所示,该仿真结果符合 IEEE 802.11ac 协议对计算时间的要求^[4].

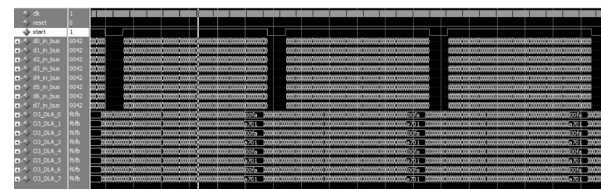


图 6 FFT/IFFT 处理器数据输出形式

本文设计的 8 通道 128 点 MRMDC 结构的 FFT/IFFT 处理器由 Verilog 语言实现,并用 Synopsys 公司的 Design Compiler 在 SMIC 0.18 μ m CMOS 工艺库下进行逻辑综合,内部数据和旋转因子的宽度采用 12 bit,在工作频率为 100 MHz 约束条件下综合的结果如表 1 所示.

表 1 FFT/IFFT 处理器逻辑综合结果

模块名字	门数	单元	总数
输入数据顺序调整模块	3 243	1	3 243
R8MDC 结构	133 406	1	133 406
R2SDF 结构	1 743	8	13 944
输出数据顺序调整模块	104 319	1	104 319
MRMDC 结构		147 351	
逻辑门总数		254 912	

5 结束语

本文针对 802.11ac^[4] 标准设计了一种 8 通道 128 点 MRMDC 结构的 FFT/IFFT 处理器,该处理器通过本文提出的输入数据顺序调整模块和输出数据顺序调整模块可以实现数据的自然顺序的输入和输出,从而可以直接与 MIMO-OFDM 系统中其他的数据处理模块进行连接. 本文设计的处理器结构可以实现八通道并行处理数据,数据流动顺畅,控制逻辑简单,降低了硬件复杂度,提高了数据吞吐率,满足 802.11ac 系统对高数据吞吐率的要求.

参考文献:

[1] 冀保峰,宋康,黄永明,等. 基于 IEEE 802.11ac 的多用户 MIMO 传输方案的优化设计及其性能分析[J]. 通信学报,2013,34(5):96-106.

[2] Yu-Wei Lin, Hsuan-Yu Liu, Chen-Yi Lee. A 1-GS/s FFT/IFFT processor for UWB application [J]. Solid-State Circuits, 2005, 40(8): 1726-1735.

[3] Byungcheol Kang, Jaeseok Kim. Low complexity multi-point 4-channel FFT processor for IEEE 802.11n MIMO-OFDM WLAN system[C] //Proceedings of the 2012 International Conference on Green and Ubiquitous Technology. Jakarta:IEEE, 2012:94-97.

[4] The wireless LAN medium access control (MAC) and physical layer (PHY) specifications [S]. IEEE Standard 802.11ac ,2014.

作者简介:

施隆照 男,(1968-),硕士,副教授. 研究方向是数字集成电路设计与系统集成. E-mail:slz@fzu.edu.cn.

郭冀闽 女,(1991-),硕士研究生. 研究方向是数字集成电路设计.